

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

中華民國專利公報 [19] [12]

[11]公告編號：381182

[44]中華民國 89年(2000) 02月01日

發明

[51] Int.Cl. 06: G01R31/02

全 4 頁

附件 90107351
二

[54]名稱：具影像辨識系統之 ICT 測試方法

[21]申請案號：087121974

[22]申請日期：中華民國 87年(1998) 12月31日

[72]發明人：

蔣建銘

台北縣土城市學府路一段九十九巷八十五號二樓

[71]申請人：

德律科技股份有限公司

台北市士林區德行西路四十五號七樓

[74]代理人：林鎰珠 先生

1

2

[57]申請專利範圍：

1. 一種具影像辨識系統之 ICT 測試方法，其包括有：

一輸入待測物原始影像線路資料並予儲存之學習步驟；

一取得待測物影像之步驟；

一根據輸入待測物原始影像線路資料與所取得待測物影像進行比對以灰階差異檢測待測物上電容極性及 IC 方向之步驟；

一顯示前述檢測結果之步驟；

一利用 ICT 系統檢測待測物接點及測試電阻、電容及電感等容量之步驟。

2. 如申請專利範圍第 1 項所述具影像辨識系統之 ICT 測試方法，該 ICT 系統主要由一壓床與一電腦單元組成，該壓床包括有一模板、一位於模板上方之待測物座板及一位於待測物座板上方位且可作升降之壓板；

該模板與待測電路板具有相同的線路佈局，其上設有多數可伸縮之接觸端子，

每一接觸端子係分別對應於待測電路板底面之各個元件焊點，且分別透過適當介面與電腦單元連線；

該待測物座板係供待測電路板放置其上；

該壓板上設有多數壓桿，並由氣壓缸控制其升降動作，其中每一壓桿係與待測電路板表面之電子元件錯開；

前述構造於氣壓缸作動使壓板下降時，其壓桿將同時向下壓制待測物，使其底面之元件焊點與對應的接觸端子接觸，隨即透過電腦單元檢測元件之開路、短路及焊點是否完好，並可進行功能測試；

又壓床於適當位置設有取像設備，以取得待測物表面之影像資料，經影像介面卡送入電腦單元，與原先取得之正確影像進行比對，利用不同影像產生的灰階差異，以判斷電容極性及 IC 方向是否正確。

3.如申請專利範圍第2項所述具影像辨識系統之ICT測試方法，該取像設備係設於壓床之壓板周邊位置。

4.如申請專利範圍第2項所述具影像辨識系統之ICT測試方法，各組取像設備之影像攝取範圍係部分重疊者。

圖式簡單說明：

第一圖：係印刷電路板之局部線路示意圖。

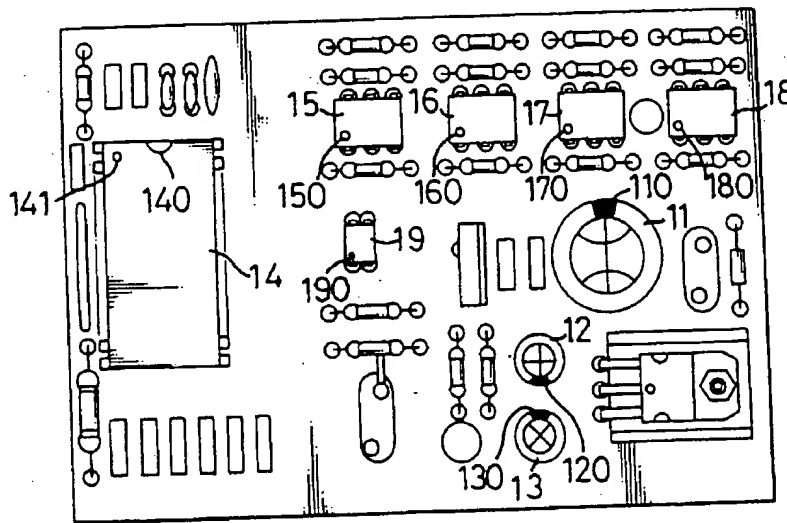
第二圖：係本發明之系統方塊圖。

第三圖：係本發明所使用 ICT 系統之外觀示意圖。

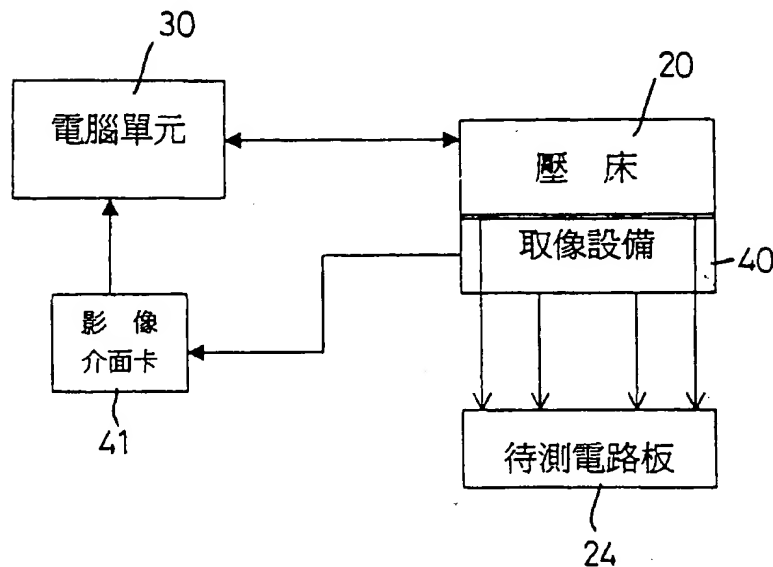
第四圖：係本發明所使用 ICT 系統之平面構造示意圖。

第五圖：係另一印刷電路板之局部線路示意圖。

第六圖：係 TestJet 測試方式之示意圖。

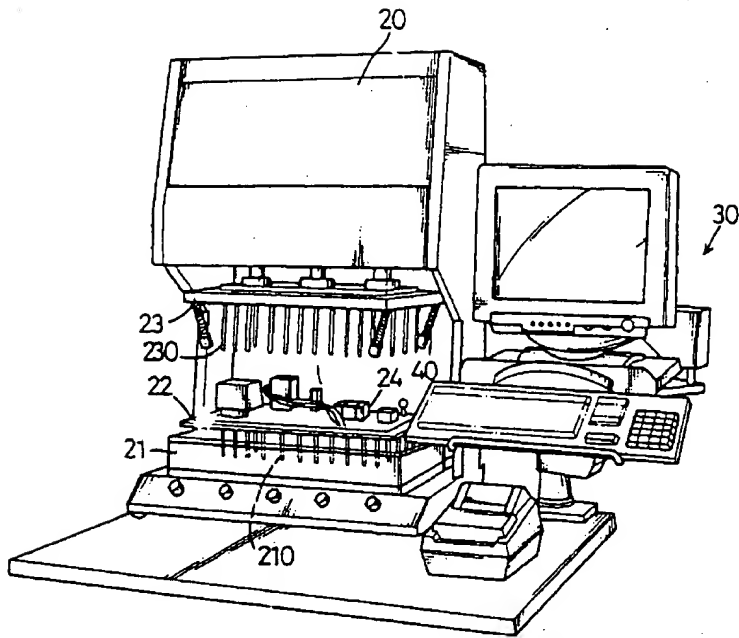


第一圖

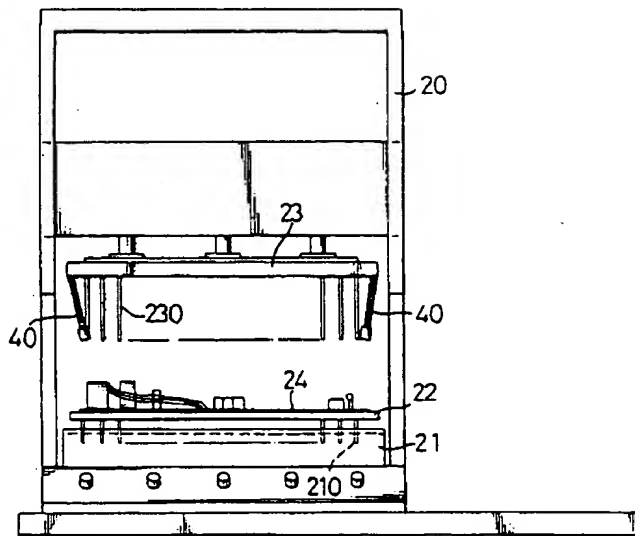


第二圖

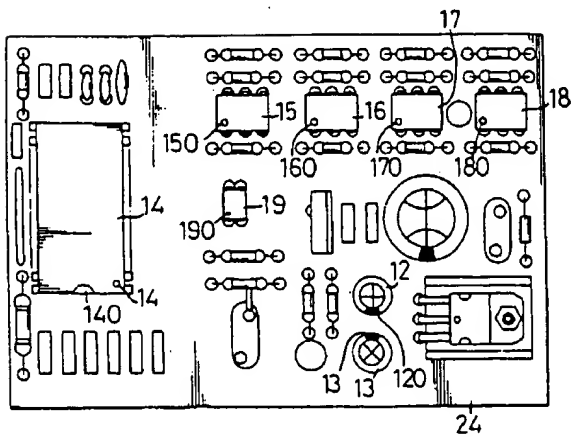
(3)



第三圖

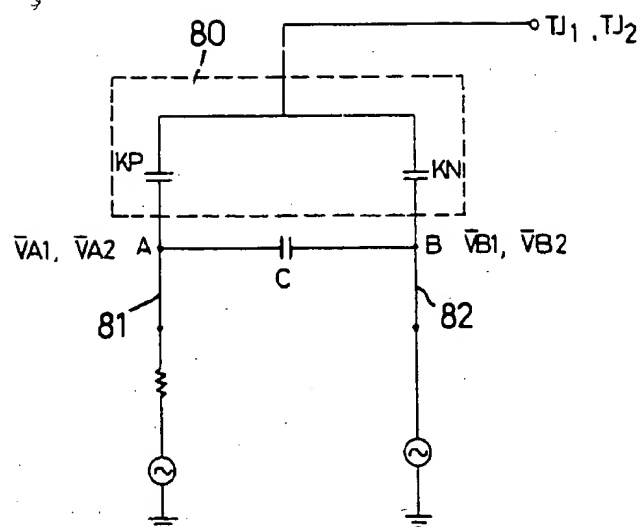


第四圖



第五圖

(4)



第六圖